

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 06-013574
 (43) Date of publication of application : 21.01.1994

(51) Int. Cl. H01L 27/108
 G11C 7/08
 H01L 27/04
 H01L 27/088
 H01L 27/10

(21) Application number : 05-063659 (71) Applicant : MATSUSHITA ELECTRIC IND CO LTD
 (22) Date of filing : 23.03.1993 (72) Inventor : AGATA MASASHI
 YAMAUCHI HIROYUKI
 YAMADA TOSHIRO

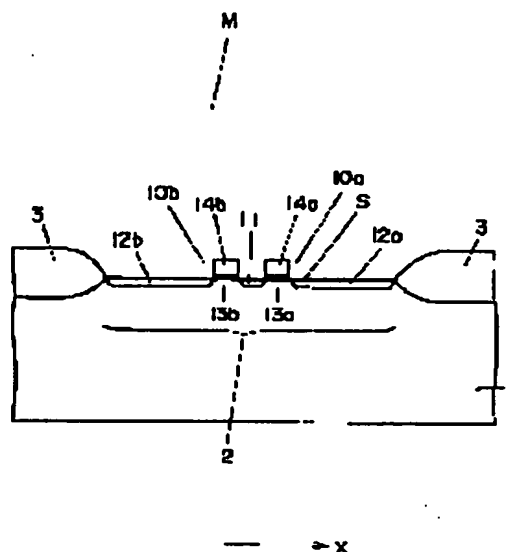
(30) Priority
 Priority number : 04 70755 Priority date : 27.03.1992 Priority country : JP

(54) SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: To prevent the deterioration of symmetry in the electric characteristics of a pair of MOSFETs even when a process parameter is fluctuated during manufacturing process by a method wherein a source area is common in the MOSFETs while respective drain areas are separated from the source area by channel areas corresponding to the drain areas.

CONSTITUTION: In an active area 2, channel areas 13a, 13b are formed respectively in parts positioned immediately below gate electrodes 14a, 14b. The channel areas 13a, 13b exist between an unit source area 11, common for respective MOSFETs 10, and drain areas 12a, 12b, provided for every MOSFETs 10a, 10b. The size of the channel area 13 is controlled by changing the shapes of the gate electrodes 14a, 14b. Accordingly, the gate width of the MOSFETs is not changed even when the positions of the gate electrodes 14a, 14b with respect to the position of the active area 2 are shifted slightly into a first direction X whereby the symmetrical property of the MOSFETs can be maintained.



LEGAL STATUS

[Date of request for examination] 03.10.1995
[Date of sending the examiner's decision
of rejection]
[Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]
[Date of final disposal for application]
[Patent number] 2713082
[Date of registration] 31.10.1997
[Number of appeal against examiner's
decision of rejection]
[Date of requesting appeal against
examiner's decision of rejection]
[Date of extinction of right]

Copyright (C); 1998, 2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平6-13574

(43)公開日 平成6年 (1994) 1月21日

(51)Int. Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/108		8728-4M	H 0 1 L 27/10	3 2 5 P
G 1 1 C 7/06		8740-8M	27/08	1 0 2 H
H 0 1 L 27/04	A	8427-4M		
27/088				
27/10	4 7 1	8728-4M		

審査請求 未請求 請求項の数18 (全 12 頁)

(21)出願番号 特願平5-63659
(22)出願日 平成5年 (1993) 3月23日
(31)優先権主張番号 特願平4-70755
(32)優先日 平4 (1992) 3月27日
(33)優先権主張国 日本 (J P)

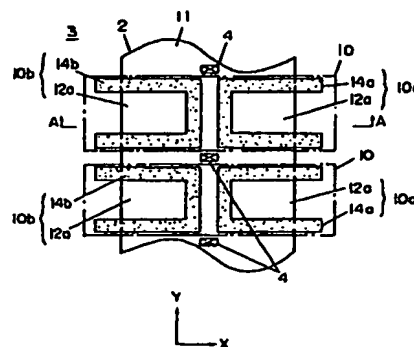
(71)出願人 000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地
(72)発明者 縣 政志
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(72)発明者 山内 寛行
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(72)発明者 山田 俊郎
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(74)代理人 弁理士 小鍛冶 明 (外2名)

(54) [発明の名称] 半導体装置

(57) [要約]

【構成】 U字型ゲート電極14a、14bまたはO字型ゲート電極を有する少なくとも一対のMOSFET10a、10bを備えているセンスアンプ。ソース領域11は共通。各ドレイン12a、12bは、各ゲート電極14a、14bにより共通のソース11から分離されている。対称面が2つ存在するように各MOSFET10a、10bは配置されている。

【効果】 製造工程中にプロセスパラメータが変動しても、電気特性について、MOSFET10a、10bの対称性が劣化しにくいセンスアンプが提供される。レイアウトサイズが縮小され、高集積化に適する。



1

【特許請求の範囲】

【請求項1】上面を有する半導体層と、
該上面に形成された活性領域と、
該上面に形成され、かつ該活性領域を囲む分離領域とを
備えた半導体装置であって、該装置は、
該活性領域に形成された一対のMOSFETを備えてお
り、
該一対のMOSFETは、
該上面に実質的に垂直な第1対称面に関して対称であ
り、しかも、該上面及び該第1対称面の両方に対して垂
直な第2対称面に関して対称である構造を有してお
り、
該一対のMOSFETのそれぞれは、該活性領域の表面
に形成されたソース領域、ドレイン領域及びチャネル領
域を有しており、
該ソース領域は該一対のMOSFETに共通し、各ドレ
イン領域は、該チャネル領域の各々によって、該ソース
領域から分離されている半導体装置。
【請求項2】前記一対のMOSFETの前記チャネル領
域の各々は、実質的にU字型の形状を備えている請求項
1に記載の半導体装置。
【請求項3】前記一対のMOSFETの前記チャネル領
域の各々は、実質的にO字型の形状を備えている請求項
1に記載の半導体装置。
【請求項4】前記一対のMOSFETの各々は、前記チ
ャネル領域の上方に位置し、かつ該チャネル領域の形状
を規定するゲート電極を備えている請求項1に記載の半
導体装置。
【請求項5】前記ソース領域及び前記ドレイン領域は、
前記ゲート電極に対して自己整合している請求項1に記
載の半導体装置。
【請求項6】請求項1に記載の装置であって、更に、
前記一対のMOSFETと同様の構造を有する複数対の
MOSFETを備えている半導体装置。
【請求項7】前記一対のMOSFETの各々のゲート電
極は、前記上面及び前記第2対称面に対して実質的に平
行な第1部分、及び、該第1部分に電気的に接続され、
かつ該第1部分に平行な第2部分を有する請求項4に記
載の半導体装置。
【請求項8】前記一対のMOSFETの各々のゲート電
極のうちの前記第1部分及び前記第2部分は、前記活性
領域と前記分離領域との境界の一部を横切る請求項7に
記載の半導体装置。
【請求項9】前記一対のMOSFETの各々のゲート電
極は、前記第1部分の端部と前記第2部分の端部とを電
氣的に接続する第3部分を有しており、該第3部分は、
前記第2対称面に対して実質的に平行である請求項8に
記載の半導体装置。
【請求項10】前記一対のMOSFETの各々のゲート
電極のうち、

2

前記第1部分及び前記第2部分の幅は、前記第3部分の
幅よりも狭い請求項9に記載の半導体装置。

【請求項11】前記一対のMOSFETの各々のゲート
電極は、前記第1部分と前記第2部分とを電気的に接続
する第4部分を有しており、該第4部分は、前記第3部
分と並列に該第1部分と該第2部分とを接続している請
求項9に記載の半導体装置。

10 【請求項12】前記一対のMOSFETの各々のゲート
電極のうち、前記第4部分は、前記活性領域と前記分離
領域との境界の一部を横切る請求項11に記載の半導体
装置。

【請求項13】前記一対のMOSFETの各々のゲート
電極は、リング状部分を有する請求項4に記載の半導体
装置。

【請求項14】前記一対のMOSFETの各々のゲート
電極の前記リング状部分は、前記活性領域と前記分離領
域との境界の一部を横切ることなく、前記活性領域上に
位置している請求項13に記載の半導体装置。

20 【請求項15】前記一対のMOSFETの各々のゲート
電極の前記リング状部分は、前記活性領域と前記分離領
域との境界の一部を横切る請求項13に記載の半導体装
置。

【請求項16】前記ソース領域は、前記半導体層の前記
上面と前記第2対称面とが交差する軸に沿う部分におい
て、複数のソースコンタクト領域を有している請求項1
に記載の半導体装置。

30 【請求項17】上面を有する半導体層と、
該上面に形成された活性領域と、
該上面に形成され、かつ該活性領域を囲む分離領域とを
備えた半導体装置であって、該装置は、該活性領域に形
成された少なくとも一対のMOSFETを備えており、
該一対のMOSFETはゲート電極対を備えており、
該ゲート電極対は、該上面に実質的に垂直な第1対称面
に関して対称であり、かつ、該上面及び該第1面の両方
に対して垂直な第2対称面に関して対称であり、
該ゲート電極対の各々は、
該第1対称面に沿って延びる第1部分と第2部分、
該第1部分の端部と該第2部分の端部とを電気的に接続
する第3部分、及び該第1部分と該第2部分とを電気的
に接続する第4部分を備えており、
該第4部分は、該活性領域と該分離領域との境界上に位
置している半導体装置。

40 【請求項18】前記ゲート電極の前記第1部分及び前記
第2部分の幅は、前記第3部分の幅よりも狭い請求項1
7に記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、対称性を有する少なく
とも一対のMOSFETを備えた半導体装置に関する。

50 【0002】

【従来の技術】半導体装置の中には、一対のMOSFETを有する装置がある。例えば、センスアンプがそれである。半導体記憶装置の記憶容量を高めるために、そのメモリセルのサイズが縮小されるとともに、集積度が高められつつある。

【0003】半導体記憶装置の記憶容量を向上させるためには、メモリセルのサイズだけではなく、センスアンプのサイズを縮小する必要がある。一般に、半導体素子のサイズが縮小されると、そのような半導体素子を製造する工程におけるプロセスパラメータの変動に応じて、形成された半導体素子の各部の形状、サイズが変化したり、半導体素子の現実の電気特性が期待される電気特性からシフトしたりする傾向が強まる。

【0004】センスアンプ等の半導体装置は、対称性の高いことが要求される少なくとも一対のMOSFETを備えている。このため、前述のプロセスパラメータの変動により対称性が劣化すると、そのような半導体装置は所望の機能を達成することができなくなる。図11は、センスアンプの回路の典型的な構成を示す。図11には、第1のビットラインペアbit1及びbit1バーと、第2のビットラインペアbit2及びbit2バーと、各ビットラインペアに接続されたセンスアンプSAとが示されている。各センスアンプSAは、1対のMOSFETを有している。図12は、各センスアンプSAのうちの、高い対称性が要求されるMOSFET対の回路構成を模式的に示す。ここで、第1のMOSFETは、ソース領域110、ゲート電極140a及びドレイン領域120aを有しており、第2のMOSFETは、第1のMOSFETと共有するソース領域110、ゲート電極140a、及びドレイン領域120aを有している。センスアンプSAにおいては、電気特性に関して、第1のMOSFETと第2のMOSFETとが等価である必要がある。言い換えれば、第1のMOSFETと第2のMOSFETとの間には、高い対称性が要求される。

【0005】図13は、従来のセンスアンプのレイアウトの一例を示している。図14は、図13のB-B線断面面図である。半導体層（基板）1の上面には、分離領域3により分離された複数の活性領域20a、20bが設けられている。ビットラインペアbit1、bit1バー、bit2、bit2バー・・・が、第1方向Xに沿って延びている。複数の活性領域20a、20bは、それぞれ、第2方向Yに沿って配列している。ビットラインペアbit1及びbit1バーをセンシングするセンスアンプは、一対のMOSFETを備えている。この一対のMOSFETは、それぞれ、ゲート電極14a、14bを有している。ゲート電極14a、14bは、図12のゲート電極140a、140bに対応している。図12におけるソース領域110、ドレイン領域120a、120bは、それぞれ、図13ではソース領域1

1、ドレイン領域12a、12bに対応している。

【0006】この従来技術では、センスアンプのMOSFETペアのうち、第1のMOSFETと第2のMOSFETとは、別々の活性領域にそれぞれ形成されている。すなわち、第1の活性領域20aは、分離領域3により、第2の活性領域20bから分離されている（図14）。

【0007】このようなセンスアンプによれば、対称性に関して次のような問題が生じる。すなわち、ソース領域11及びドレイン領域12a、12bを形成するためのイオン注入により、一対のMOSFETの電気特性について対称性が劣化する。これは、イオンが半導体層1の表面に対して垂直ではなく、垂直から約7°だけシフトした角度で半導体層1へ注入されるためである。このような斜めイオン注入はイオンのチャネリング防止するが、ゲート電極の直下に位置するべきチャネル領域の位置を、ゲート電極14a、14bの位置に対して、一定方向にシフトさせることとなる。その結果、ゲート電極14a、14bに対する、ソース領域11及びドレイン領域12a、12bの位置関係が対称性を失い、それによって一対のMOSFETの電気特性の対称性が劣化することがある。

【0008】また、このようなセンスアンプによれば、第1のMOSFETと第2のMOSFETとの間に分離領域3が存在するために、センスアンプのサイズを縮小することが困難である。

【0009】図15は、従来のセンスアンプの他の構成例を示している。図16は、図15のC-C線断面面図である。このセンスアンプによれば、第1のMOSFETと第2のMOSFETとの間に素子分離が存在しない。一対のMOSFETは、それぞれ、U字形のゲート電極14a、14bを備えている。平面レイアウト上において、ゲート電極14a、14bが活性領域2から切り取る領域が、ドレイン領域12a、12bとなる。このセンスアンプでは、分離領域3を用いなくとも、一対のMOSFETのドレイン領域12a、12bは、相互に分離される。

【0010】この従来例では、上記イオン注入工程における斜めイオン注入に関した問題も、解消される。ソース領域11及びドレイン領域12a、12bがゲート電極14a、14bに対してシフトすることの影響が、相互に相殺されるからである。

【0011】

【発明が解決しようとする課題】しかしながら、上述の従来技術においては、次のような問題がある。

【0012】ソース領域11の複数のソースコンタクト4のうち、あるコンタクト4の抵抗が変動した場合に、一対のMOSFETの対称性が損なわれてしまうことがある。このことを、図17(a)及び(b)を参照して、以下に説明する。

【0013】まず、ビットライン抵抗を5k Ω 、ビットライン容量を100fF、ソースコンタクトの抵抗を10オーム、ソース領域のシート抵抗を100 Ω /□として、ソースコンタクトの抵抗の変化がもたらすセンスアンプの非対称性を検討する。

【0014】製造工程中に生じたダストがソースコンタクト4の一つに影響を与え、その結果、そのコンタクト抵抗が1kオームになったとする(図17(b))。この条件の基で、シミュレーションを実行したところ、センスアンプのセンス速度は、約20パーセント劣化することがわかった。

【0015】DRAMに使用される微細化されたセンスアンプにおいては、このようなソースコンタクト4の不良が発生しやすいため、ソースコンタクト4の抵抗の非対称性に起因するセンスアンプの誤動作の危険がより高まる。

【0016】本発明は、上記課題を解決するためになされたものであり、その目的とするところは、製造工程中にプロセスパラメータが変動しても対称性が劣化しにくい一対以上のMOSFETを備えた半導体装置を提供することにある。また、他の目的は、レイアウトサイズが縮小され、高集積化に適した構成を有する、一対以上のMOSFETを備えた半導体装置を提供することにある。

【0017】

【課題を解決するための手段】本発明の半導体装置は、上面を有する半導体層と、該上面に形成された活性領域と、該上面に形成され、かつ該活性領域を囲む分離領域とを備えた半導体装置であって、該装置は、該活性領域に形成された一対のMOSFETを備えており、該一対のMOSFETは、該上面に実質的に垂直な第1対称面に関して対称であり、しかも、該上面及び該第1対称面の両方に対して垂直な第2対称面に関して対称である構成を有しており、該一対のMOSFETのそれぞれは、該活性領域の表面に形成されたソース領域、ドレイン領域及びチャネル領域を有しており、該ソース領域は該一対のMOSFETに共通し、各ドレイン領域は、該チャネル領域の各々によって、該ソース領域から分離されており、そのことにより上記目的が達成される。

【0018】前記一対のMOSFETの前記チャネル領域の各々は、実質的にU字型の形状を備えていてもよい。

【0019】前記一対のMOSFETの前記チャネル領域の各々は、実質的にO字型の形状を備えていてもよい。

【0020】前記一対のMOSFETの各々は、前記チャネル領域の上方に位置し、かつ該チャネル領域の形状を規定するゲート電極を備えている。

【0021】好ましくは、前記ソース領域及び前記ドレイン領域は、前記ゲート電極に対して自己整合してい

る。

【0022】更に、前記一対のMOSFETと同様の構造を有する複数対のMOSFETを備えていてもよい。

【0023】前記一対のMOSFETの各々のゲート電極は、前記上面及び前記第2対称面に対して実質的に平行な第1部分、及び、該第1部分に電気的に接続され、かつ該第1部分に平行な第2部分を有していてもよい。

【0024】好ましくは、前記一対のMOSFETの各々のゲート電極のうちの前記第1部分及び前記第2部分は、前記活性領域と前記分離領域との境界の一部を横切っている。

【0025】前記一対のMOSFETの各々のゲート電極は、前記第1部分の端部と前記第2部分の端部とを電気的に接続する第3部分を有しており、該第3部分は、前記第2対称面に対して実質的に平行であってもよい。

【0026】好ましくは、前記一対のMOSFETの各々のゲート電極のうち、前記第1部分及び前記第2部分の幅は、前記第3部分の幅よりも狭い。

【0027】前記一対のMOSFETの各々のゲート電極は、前記第1部分と前記第2部分とを電気的に接続する第4部分を有しており、該第4部分は、前記第3部分と並列に該第1部分と該第2部分とを接続していてもよい。

【0028】好ましくは、前記一対のMOSFETの各々のゲート電極のうち、前記第4部分は、前記活性領域と前記分離領域との境界の一部を横切る。

【0029】前記一対のMOSFETの各々のゲート電極は、リング状部分を有していてもよい。

【0030】前記一対のMOSFETの各々のゲート電極の前記リング状部分は、前記活性領域と前記分離領域との境界の一部を横切ることなく、前記活性領域上に位置していてもよい。

【0031】好ましくは、前記一対のMOSFETの各々のゲート電極の前記リング状部分は、前記活性領域と前記分離領域との境界の一部を横切る。

【0032】好ましくは、前記ソース領域は、前記半導体層の前記上面と前記第2対称面とが交差する軸に沿う部分において、複数のコンタクト領域を有している。

【0033】本発明の半導体装置は、上面を有する半導体層と、該上面に形成された活性領域と、該上面に形成され、かつ該活性領域を囲む分離領域とを備えた半導体装置であって、該装置は、該活性領域に形成された少なくとも一対のMOSFETを備えており、該一対のMOSFETはゲート電極対を備えており、該ゲート電極対は、該上面に実質的に垂直な第1対称面に関して対称であり、かつ、該上面及び該第1面の両方に対して垂直な第2対称面に関して対称であり、該ゲート電極対の各々は、該第1対称面に沿って延びる第1部分と第2部分、該第1部分の端部と該第2部分の端部とを電気的に接続する第3部分、及び該第1部分と該第2部分とを電

氣的に接続する第4部分を備えており、該第4部分は、該活性領域と該分離領域との境界上に位置しており、そのことにより上記目的が達成される。

【0034】好ましくは、前記ゲート電極の前記第1部分及び前記第2部分の幅は、前記第3部分の幅よりも狭い。

【0035】

【作用】本発明によれば、製造工程中にプロセスパラメータが変動しても、MOSFETの電気特性について、対称性が劣化しにくい。また、レイアウトサイズが縮小され、高集積化に適する。また、ドレイン領域の面積を縮小することができるため、ドレイン容量が低減し、半導体装置の動作速度が向上する。

【0036】

【実施例】（実施例1）図1は、本発明による半導体装置の主要部の平面構造を模式的に示している。図2は、図1のA-A線断面図である。この半導体装置は、DRAMのセンスアンプである。本半導体装置は、半導体層（単結晶半導体基板である場合を含む）1と、半導体層1の上面に形成された複数の活性領域2と、各活性領域2を相互に分離するための分離領域3とを備えている。図1及び図2には、分離領域3に囲まれた一つの活性領域2が示されており、半導体装置の他の部分、例えば、DRAMのメモリセル等は、簡単化のため省略されている。

【0037】本半導体装置は、活性領域2に配列された複数のMOSFET対10を備えている。各MOSFET対が、図12のMOSFET対に対応し、一つのセンスアンプSAを構成している。MOSFET対10の各々は、第1のMOSFET10aと第2のMOSFET10bとを備えている。

【0038】MOSFET対10の各々は、図1に示される第1方向Xに平行な第1対称面に関して対称である。なお、この第1対称面は、図2に示される半導体層1の上面Sに対して垂直である。また、MOSFET対10のそれぞれは、図1に示される第2方向Yに平行な第2対称面に関しても、対称である。この第2対称面は、半導体層1の上面S（図2）及び第1対称面の両方に対して垂直である。

【0039】図2に示されるように、第1のMOSFET10a及び第2MOSFET10bの各々は、活性領域2の表面に形成されたソース領域11と、ドレイン領域12a、12bと、チャンネル領域13a、13bとを有している。ソース領域11及びドレイン領域12a、12bは、各々、半導体層1の活性領域2中に形成された不純物拡散層である。MOSFET10a、10bがnチャンネル型である場合、活性領域2は半導体層中にp型不純物が低濃度にドーパされた領域中に存在し、ソース領域11及びドレイン領域12a、12bは、n型不純物が比較的に高濃度にドーパされた領域である。本セ

ンスアンプでは、ソース領域11は各MOSFET10a、10bに共通している。しかし、ドレイン領域12a、12bは、各々、図2に示されるように、対応するチャンネル領域13a、13bによって、共通のソース領域11から分離されている。

【0040】図2に示されるように、第1及び第2のMOSFET10a、10bの各々のは、チャンネル領域13a、13bの上方に位置するゲート電極14a、14bを有している。このゲート電極14a、14bは、チャンネル領域13a、13bの形状を規定する。ソース領域11及びドレイン領域12a、12bは、ゲート電極14a、14bに対して自己整合的に形成されている。

【0041】より詳細に本センスアンプのMOSFETの構造を以下に説明する。図1に示されるように、各ゲート電極14a、14bは、半導体層1の上面及び第2対称面に対して実質的に平行な第1部分、及び、第1部分に対して実質的に平行な第2部分を有している。第1部分と第2部分とは、第3部分により接続されている。第1部分及び第2部分は、各々、 $0.8\mu\text{m}$ の幅と $2\mu\text{m}$ の長さを有している。第3部分は、各々、 $0.8\mu\text{m}$ の幅と $2\mu\text{m}$ の長さを有している。これらのゲート電極14a、14bの各部分の幅は、MOSFET10a、10bのチャンネル長(L)に対応しており、各部分の長さは、MOSFET10a、10bのチャンネル幅(W)に対応している。本実施例に於ける各MOSFET10a、10bのチャンネル長は $0.8\mu\text{m}$ 、チャンネル幅は約 $4\mu\text{m}$ である。第1のMOSFET10aの第3部分と、第2のMOSFET10bの第3部分との間の距離は、 $0.6\mu\text{m}$ である。なお、第1方向Xに沿って測った活性領域2の幅は、約 $6\mu\text{m}$ である。

【0042】各ゲート電極14a、14bのうち、第1方向Xに延びる第1部分及び第2部分は、活性領域2と分離領域3との境界を横切っている。こうして、略U字型の各ゲート電極14a、14bは、活性領域2から各ドレイン領域12a、12bを切り取るように配されている。図13の従来技術のレイアウトによれば、本実施例の採用する設計ルールでは、第1方向Xに沿って測った活性領域2の幅は、約 $10\mu\text{m}$ になる。これは、第1のMOSFET10aと第2のMOSFET10bとの間に、 $0.6\mu\text{m}$ 以上の幅を有する分離領域3を設ける必要があったからである。これに対して、本実施例では、前述のように、第1方向Xに沿って測った活性領域2の幅は、約 $6\mu\text{m}$ である。このため、センスアンプの占有面積は、40パーセント縮小される。

【0043】ゲート電極14a、14bは、一般に、電極材料からなる層をフォトリソグラフィ工程及びエッチング工程によりパターニングすることにより、任意の平面形状に作製され得る。現実のゲート電極14a、14bの形状は、図1に示されるように、直線的な要素のみから構成されている必要はない。ゲート電極14a、1

4bは、湾曲し、それによって、丸いU字型の形状が形成されていてもよい。後述する本発明の効果は、ゲート電極14a、14bの材料、断面構成の種類、サイズに関係なく生じるものである。

【0044】図2に示されるように、活性領域2において、ゲート電極14a、14bのすぐ下方に位置する部分には、それぞれ、チャンネル領域13a、13bが形成されている。すなわち、ゲート電極14a、14bの平面形状に実質的に対応した平面形状のチャンネル領域13が活性領域2に形成されている。これらのチャンネル領域13a、13bのそれぞれは、各MOSFET対10に共通する単一のソース領域11と、MOSFET10a、10b毎に設けられたドレイン領域12a、12bとの間に存在している。各チャンネル領域13のサイズは、ゲート電極14a、14bの形状（幅及び長さ）を変化させることにより、任意に調整され得る。センスアンプの動作時、ソース領域11とドレイン領域12a、12bとをつなぐチャンネル領域13の導電性は、対応するゲート電極14a、14bに与えられる電位に応じて、制御される。

【0045】ソース領域11及びドレイン領域12a、12bは、所望形状のゲート電極14a、14bを形成した後、ゲート電極14a、14bをマスクとするイオン注入工程を行うことにより、ゲート電極14a、14bに対して自己整合的に形成され得る。なお、イオン注入の注入角度、イオン注入後の熱処理による不純物の横方向拡散等を原因として、チャンネル領域13の平面形状及び位置は、ゲート電極14a、14bの平面形状及び位置と完全に一致するわけではない。例えば、図2において、矢印Mの方向から不純物イオンを半導体層1中に注入すると、ソース領域11及びドレイン領域12a、12bは、何れも、各ゲート電極14a、14bに対して、第1方向Xと反対の方向へシフトすることとなる。

【0046】なお、ソース領域11とチャンネル領域13との間、及びドレイン領域12a、12bとチャンネル領域13との間に、LDD領域や、パンチスルーストップ領域などが設けられてもよい。

【0047】図1に示されるように、複数のMOSFET対10は、第2方向Yに沿って配列している。センスアンプがビットラインペアのセンシングに使用されるとき、ビットラインペアの数に等しい数のMOSFETペアが、第2方向Yに沿って配列される。例えば、1024個のビットラインペアに対して、1024個のMOSFETペアが配列される。この場合、活性領域2の第2方向Yに沿った長さは、例えば、 $4\mu\text{m} \times 1024 = \text{約} 4\text{mm}$ に達する。

【0048】複数のMOSFET対10の各々の間にあって第2方向Yに平行な軸に沿う領域には、複数のソースコンタクト4が形成されている。これらのソースコンタクト4は、活性領域2内に形成されているソース領域

11を、不図示の配線に電気的に接続するためのものである。図1では、3個のソースコンタクト4だけ示されているが、本実施例では、MOSFET対10の数とほぼ同じ数程度設けられている。ソースコンタクト4に接続される配線の電位は、図12の回路の端子110の電位に対応する。本センスアンプにおいては、ソースコンタクト4のサイズは、典型的には、 $0.6\mu\text{m} \times 0.6\mu\text{m}$ である。ソースコンタクト4間の距離は、約 $4\mu\text{m}$ である。これは、1個のセンスアンプの第2方向に沿って測ったサイズが、約 $4\mu\text{m}$ であることを意味している。

【0049】図3は、本実施例のセンスアンプとビットラインペアとの配置関係を模式的に示している。ビットラインペアが存在するメモリセルアレイ部分の両サイドにセンスアンプが配列される場合、図1に示されるセンスアンプによれば、 $1\mu\text{m}$ 間隔で配列されたビットラインのセンシングを行うことが可能である。図15に示される従来のセンスアンプによれば、ビットラインの配列間隔は、 $2\mu\text{m}$ 程度になってしまう。64メガビットDRAMでは、通常、 $1\mu\text{m}$ 間隔でビットラインを配列する必要があるため、図15のセンスアンプを64メガビットDRAMに適用するのこ困難である。本実施例のセンスアンプは、そのような高集積半導体記憶装置に好適である。なお、各ドレイン領域12a、12bと配線とを接続するためのドレインコンタクト（不図示）は、対応するドレイン領域12a、12bに1個ずつ設けられている。ドレイン領域12a、12bに設けられたドレインコンタクトは、本実施例では、図3に示されるビットラインペアに接続される。

【0050】本センスアンプによれば、複数のソースコンタクト4のうちの何れかについて、コンタクト抵抗の値が何等かの原因で他のソースコンタクト4のコンタクト抵抗よりも変化した場合でも、各対のMOSFET10a、10bの電気的特性の対称性が維持される。コンタクト抵抗の変化の影響が、左右のMOSFET10a、10bに対して同じように寄与するからである。

【0051】本実施例では、ソースコンタクト4が第2方向Yに沿って1列に配列しているが、2列またはそれ以上の列に配列していてもよい。また、ソースコンタクト4の数は、MOSFET対10の数の約半分であってもよい。第1のMOSFET10a及び第2のMOSFET10bの電気特性を等しくするには、ソースコンタクト4の配列は第2対称面に関して対称であることが好ましい。ただし、2列のソースコンタクトを設けた場合、対応する2個のソースコンタクトの一方が著しく大きくなると、第1のMOSFET10a及び第2のMOSFET10bのソース寄生抵抗が異なる結果、センスアンプの特性が劣化してしまう。従って、ソースコンタクト4の列は、一列であることが最も好ましい。

【0052】もし、ソースコンタクト4の列の位置が第1方向Xにシフトすると、第1のMOSFET10aの

ソース抵抗と第2のMOSFET 10bのソース抵抗とが相互にわずかに異なる値を持つ。図4は、第2対称面の位置から距離 x だけ、第1方向 X にシフトしたソースコンタクト4を示している。図5は、そのシフト量 x と、センスアンプのセンシング速度との関係を示している。図4に示されるような位置に、ソースコンタクト4を設けると、第1のMOSFET 10aにおけるソース寄生抵抗が、例えば 10Ω となり、第2MOSFET 10bのソース寄生抵抗は例えば $1k\Omega$ になってしまう。そのような場合、センシング速度は20パーセント程度遅くなる。このため、MOSFETペア10の対称性を高く維持し、センシング速度低下を防止するために、ソースコンタクト4の列の位置は、第2対称面に近い位置にあることが好ましい。

【0053】レイアウトの上で、ソースコンタクト4が第2対称面上にあっても、フォトリソグラフィ工程でのアライメントズレにより、ソースコンタクト4の位置はある程度ずれるものである。しかし、そのようなシフトは、通常、 $1\mu m$ 程度以下であるため、ソース寄生抵抗はわずかに変化するだけである。そのため、ソースコンタクト4の製造工程による位置のシフトは、センスアンプの特性にほとんど影響を与えない。

【0054】ソース領域11のシート抵抗が十分に小さい場合、ソースコンタクト4を、複数のMOSFET対10に対して1個の割合で設けてもよい。そうすることにより、ソースコンタクト4の数を低減するとともに、第2方向 Y に沿って測ったセンスアンプのサイズを、更に縮小することができる。ソースコンタクト4の数が低減されても、各MOSFETペア10における第1のMOSFETと第2のMOSFETの対称性は維持される。また、ソースコンタクト4の数が低減されると、半導体装置全体として、コンタクト不良が生じる確率も減少するという利点がある。

【0055】本実施例では、平面レイアウト上のゲート電極形状は、実質的にU字型であるとしたが、レイアウト上のゲート電極14a、14bの形状は、図6に示すように、V字型であってもよい。

【0056】(実施例2) 図7は、本発明による他のセンスアンプの主要部の平面構造を模式的に示している。本センスアンプも、活性領域2に形成された複数のMOSFET対10を備えている。複数のMOSFET対10の各々は、第1のMOSFET 10aと第2のMOSFET 10bとを備えている。図1のMOSFET対10と同様に、本センスアンプのMOSFET対10は、第1方向 X に平行な第1対称面に関して対称である。また、MOSFET対10は、第2対称面に対しても、対称である。第1のMOSFET 10a及び第2のMOSFET 10bの各々は、活性領域2の表面に形成されたソース領域11、ドレイン領域12a、12b及びチャネル領域13a、13bを有している。ソース領域11

は各MOSFET 10a、10bに共通している。しかし、ドレイン領域12a、12bは、各々、対応するチャネル領域13a、13bによって、ソース領域から分離されている。

【0057】各MOSFET 10a、10bのゲート電極24a、24bは、第2対称面に対して実質的に平行な第1部分及び第2部分を有している。各々ゲート電極24a、24bは、第1部分の端部と第2部分の端部とを電気的に接続する第3部分を有しており、第3部分は、第2対称面に対して実質的に平行である。更に、各ゲート電極24a、24bは、第1部分と第2部分とを電気的に接続する第4部分を有しており、第4部分は、第3部分と並列に第1部分と第2部分とを接続している。このように、第1から第4部分によって、リング状部分が形成されている。

【0058】図7に示されるように、各ゲート電極24a、24bのリング状部分によって、活性領域2がソース領域11と複数のドレイン領域12a、12bに分割されている。図1のセンスアンプでは、ドレイン領域12a、12bの境界の一部は、活性領域2の境界(分離領域3)に接しているが、本センスアンプでは、ドレイン領域12a、12bは、対応するゲート電極24a、24bに完全に囲まれ、分離領域3に接していない。このため、ゲート電極24a、24bを形成するためのフォトリソグラフィ工程のマスク合わせズレ等を原因として、ゲート電極24a、24bの位置が活性領域2の位置に対して多少シフトしたとしても、ドレイン領域24a、24bの面積は変化しない。

【0059】例えば、リング状部分に囲まれる領域と、分離領域との間隔が、 $1\mu m$ 離れていると、 $1\mu m$ だけ、ゲート電極24a、24bが第1方向 X にシフトしたとしても、MOSFETのゲート幅(W)は一定の値に維持される。その結果、各MOSFET対10の電気的特性に関して、対称性が維持される。ゲート電極24a、24bのリング状部分と活性領域2の境界との間の距離(マージン)が大きいほど、ゲート電極24a、24bの大きな位置ズレに対して、MOSFETのゲート幅(W)を一定に保つことができる。

【0060】図7においては、各ゲート電極24a、24bは、(すなわち、チャネル領域13a、13bも)直線部分により構成されているが、ゲート電極24a、24bのリング状部分は、リング形状とトポロジカルに等価な形状、例えば、楕円形、三角形、多角形等でもよい。一般に、半導体装置の製造工程では、パターンを規定するフォトマスクを用いて、製造途中の半導体装置上のフォトレジストにパターンの転写が行われる。フォトマスク上のパターンが仮に図7に示すように直線部分から構成されていても、フォトレジストに転写されたパターンは、曲線的な形状となることがある。本発明の前述の效果は、ゲート電極24a、24bが直線的な構成部

13

分から形成されていることを全く必要としないことは明かである。

【0061】活性領域2において、ゲート電極24a、24bのすぐ下方に位置する部分には、MOSFETのチャネル領域13a、13bが形成されている。すなわち、ゲート電極24a、24bの平面形状に実質的に対応した平面形状の複数のチャネル領域13a、13bが活性領域2に形成されている。本センスアンプでは、これらのチャネル領域13a、13bのそれぞれは、リング形状を有しており、各MOSFET10a、10bに共通する単一のソース領域11と、MOSFET10a、10b毎に設けられたドレイン領域12a、12bとの間に存在している。各チャネル領域13a、13bのサイズは、ゲート電極24a、24bの形状(幅及び長さ)を調節することにより、制御される。平面レイアウト上において、ゲート電極24a、24bのリング状部分に囲まれた領域は、活性領域2内に完全に含まれている。

【0062】上述の構成によれば、活性領域2の位置に対するゲート電極24a、24bの位置が、第1方向Xに多少シフトしたとしても、各MOSFETのゲート幅(W)は不変である。その結果、対を構成する2つのMOSFET10a、10bの電気的特性は対称性を維持する。

【0063】複数のMOSFET対10は、第2方向Yに沿って配列しており、各々のMOSFET対10は、第2方向Yに平行な軸に対して対称である。また、各MOSFET対10の間にあつて第2方向Yに平行な軸に沿う領域には、複数のソースコンタクト4が形成されている。

【0064】上述の構成によれば、活性領域2の位置に対するゲート電極24a、24bの位置が、第1方向X及び第2方向Yに多少シフトしたとしても、各MOSFETのゲート幅(W)は不変である。また、ソースコンタクト4のコンタクト抵抗にバラツキが生じても、各MOSFET対10の対称性は維持される。

【0065】(実施例3)図8は、本発明による他の半導体装置の主要部の平面構造を模式的に示している。この半導体装置は、基本的には、図1に示されている装置の構造と同様の構造を有している。同様の部分の説明は省略し、異なる部分を以下に説明する。

【0066】本センスアンプのMOSFET対10の各ゲート電極14a、14bは、半導体層1の上面及び第2対称面に対して実質的に平行な第1部分(ゲート長L1、ゲート幅W1)、第1部分に対して実質的に平行な第2部分(ゲート長L2、ゲート幅W2)、及び第1部分の端部と第2部分の端部とを接続する第3部分(ゲート長L3、ゲート幅W3)を有している。図1のゲート電極14a、14bと図8のゲート電極14a、14bとの相違点は、第1及び第2部分のゲート長L1及びL

14

2が、第3部分のゲート長L3より短いことにある。

【0067】図8に示されているMOSFET10a、10bは、各々、3つのサブMOSFETがソース領域11及びドレイン領域12a、12bを共有している構造を有しているものと考えることができる。すなわち、ゲート電極14a、14bの第1部分に関するサブMOSFET(S1)と、第2部分に関するサブMOSFET(S2)と、第3部分に関するMOSFET(S3)とから、各MOSFETが構成されている。

10 【0068】図8に示されるように、サブMOSFET(S1)とサブMOSFET(S2)とは、互いに第1対称面に関して対称な構造を有している。しかし、より厳密には、サブMOSFET(S1)の電気特性とサブMOSFET(S2)の電気特性との間には、わずかな相違が生じることがある。一般に、ゲート電極14a、14bを形成した後、ソース領域11及びドレイン領域12a、12bを形成するためには、不純物のイオン注入工程が行われる。単結晶の半導体基板にイオンを注入する際、イオンのチャネリングを防止する等の理由から、半導体基板上面に垂直な方向からシフトした角度で、イオンを注入する。このような場合、ゲート電極14a、14bに関して、ソース領域11及びドレイン領域12a、12bがわずかに非対称になる。しかし、各MOSFET10a、10bは、サブMOSFET(S1)とサブMOSFET(S2)とを有しているため、各サブMOSFET(S1及びS2)の持つ非対称性が、相互に打ち消される。

30 【0069】一方、サブMOSFET(S3)に関しては、そのような非対称性の打ち消し効果が生じない。本実施例によれば、サブMOSFET(S1及びS3)のチャネル長を、サブMOSFET(S3)のチャネル長よりも短くすることにより、サブMOSFET(S3)がセンスアンプのセンシング感度に寄与する割合を低下させている。これによって、サブMOSFET(S3)についての非対称性は、センスアンプのセンシング速度にほとんど影響を与えなくなる。

【0070】本実施例において、MOSFET10a、10bの有する実効ゲート長をLe、実効ゲート幅Weとすると、次の式が成立する。

40 【0071】
$$We/Le = (W1/L1 + W2/L2 + W3/L3) / 3$$

ここで、 $W1=W2=W3=1.3\mu\text{m}$ 、 $L3=0.8\mu\text{m}$ として、 $L1=L2$ として、センスアンプのセンシング速度を計算すると、 $L1=L2=0.8\mu\text{m}$ のときの速度に比較して、 $L1=L2=0.6\mu\text{m}$ のときの速度は、図9に示すように約18パーセント速くなる。

50 【0072】本実施例によれば、図8に示されるような構成を採用することにより、斜めイオン注入による非対称化の影響を抑制しつつ、しかも、センシング速度を

増加させることができる。

【0073】(実施例4) 図10は、本発明による他の半導体装置の主要部の平面構造を模式的に示している。この半導体装置は、基本的には、図7に示されている装置の構造と同様の構造を有している。同様の部分の説明は省略し、異なる部分を以下に説明する。

【0074】本センスアンプのMOSFET 10a、10bの各ゲート電極24a、24bは、半導体層1の上面及び第2対称面に対して実質的に平行な第1部分

(幅: $0.6\mu\text{m}$)、第1部分に対して実質的に平行な第2部分(幅: $0.6\mu\text{m}$)、第1部分の端部と第2部分の端部とを接続する第3部分(幅: $0.8\mu\text{m}$)、及び第1部分と第2部分とを接続する第4部分(幅: $0.6\mu\text{m}$ 以上)を有している。図2のゲート電極と図4のゲート電極との相違点は、第3及び4部分の幅が第1及び第2部分の幅よりも広いことと、第4部分が分離領域3と活性領域2との境界の一部を横切っていることにある。

【0075】このような構成により、図7のセンスアンプから得られる効果に加えて、活性領域2の第1方向Xに沿った幅を短縮することができるという効果が得られる。集積度の高い半導体集積回路においては、センスアンプ等の占有面積(レイアウト面積)を縮小することが極めて重要であるため、本実施例の構成は、高集積半導体装置にとって特に好ましい。特に、本センスアンプは、64メガビット以上の記憶容量を有するDRAM等を実用化するために好適である。

【0076】以上、本発明をセンスアンプについて説明してきたが、本発明は、センスアンプに限定されことなく、一対のMOSFETに関して高い対称性を有することが要求される半導体装置のすべてに適用可能である。言い換えれば、図12に示される回路構成を有し、そのMOSFET対に対称性が要求される全ての半導体装置に適用可能である。

【0077】

【発明の効果】 本発明によれば、製造工程中にプロセスパラメータが変動しても、MOSFETの電気特性について、対称性が劣化しにくい。また、レイアウトサイズ

が縮小され、高集積化に適する。また、ドレイン領域の面積を縮小することができるため、ドレイン容量が低減し、半導体装置の動作速度が向上する。

【図面の簡単な説明】

【図1】 本発明による半導体装置のレイアウト図

【図2】 図1のA-A線断面図

【図3】 本発明によるセンスアンプとビットラインベアと配置を示す平面模式図

【図4】 ソースコンタクトの位置シフトを示すための図

10 【図5】 ソースコンタクトの位置シフトとセンシング速度との関係を示すグラフ

【図6】 V字型ゲート電極を示す平面図

【図7】 本発明による他の半導体装置のレイアウト図

【図8】 本発明による更に他の半導体装置のレイアウト図

【図9】 センス速度とゲート長との関係を示すグラフ

【図10】 本発明による更に他の半導体装置のレイアウト図

【図11】 センスアンプの回路図

20 【図12】 センスアンプに含まれているMOSFET対を示す回路

【図13】 従来のセンスアンプのレイアウト図

【図14】 図13のB-B線断面図

【図15】 他の従来のセンスアンプのレイアウト図

【図16】 図15のC-C線断面図

【図17】 ソースコンタクトの不良から生じる問題を説明するためのセンスアンプの回路図

【符号の説明】

1 半導体層

30 2 活性領域

3 分離領域

4 ソースコンタクト

10 センスアンプ

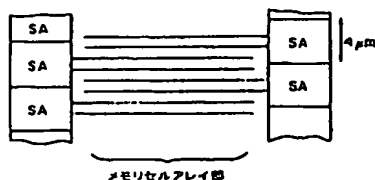
10a、10b MOSFET

11 ソース領域

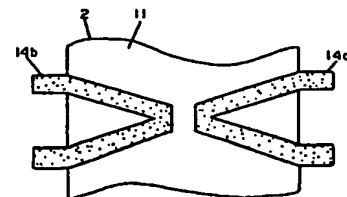
12a、12b ドレイン領域

14a、14b、24a、24b ゲート電極

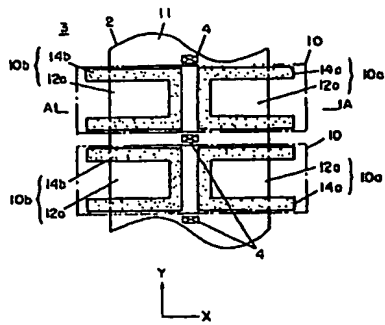
【図3】



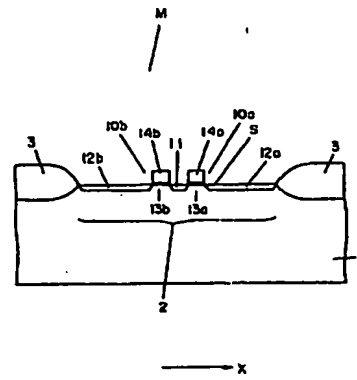
【図6】



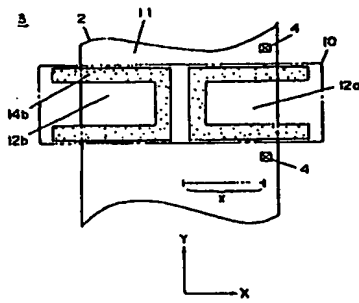
〔図1〕



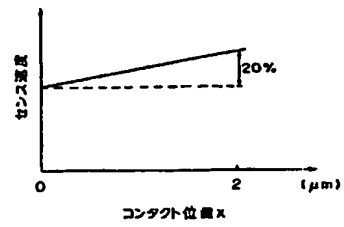
〔図2〕



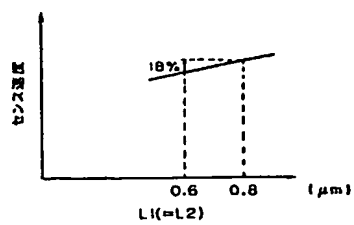
〔図4〕



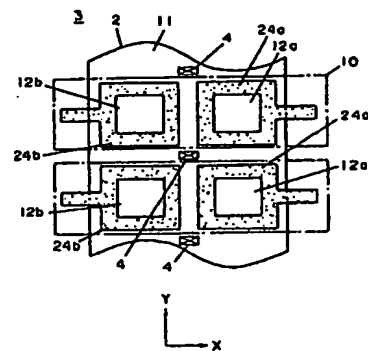
〔図5〕



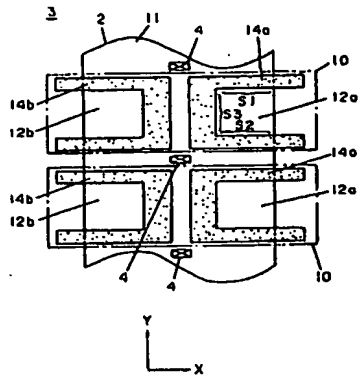
〔図9〕



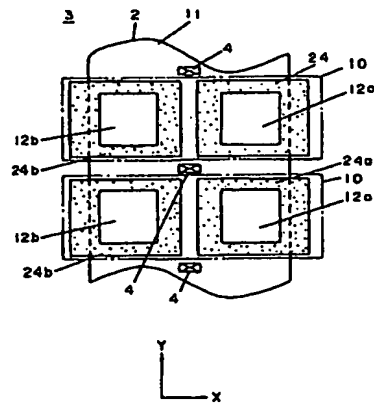
〔図7〕



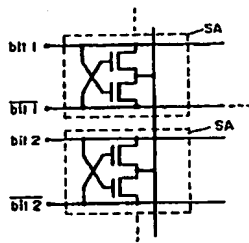
[図8]



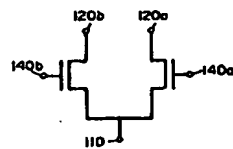
[図10]



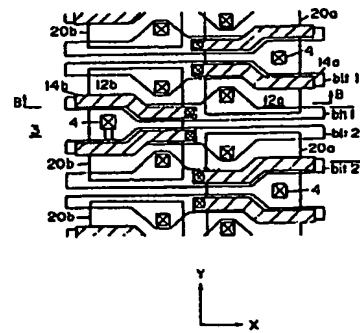
[図11]



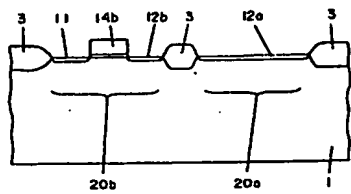
[図12]



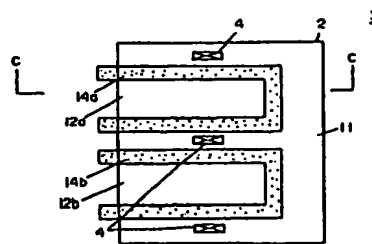
[図13]



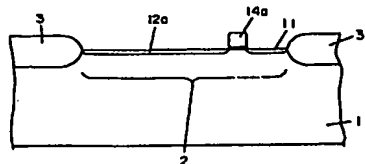
[図14]



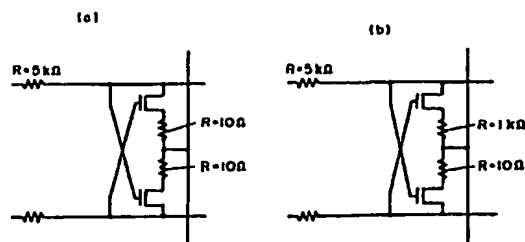
[図15]



【図16】



【図17】



フロントページの続き

(51) Int. Cl.⁵

H 0 1 L 27/088

27/10

識別記号

4 7 1

庁内整理番号

8728-4M

F I

技術表示箇所